

15This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

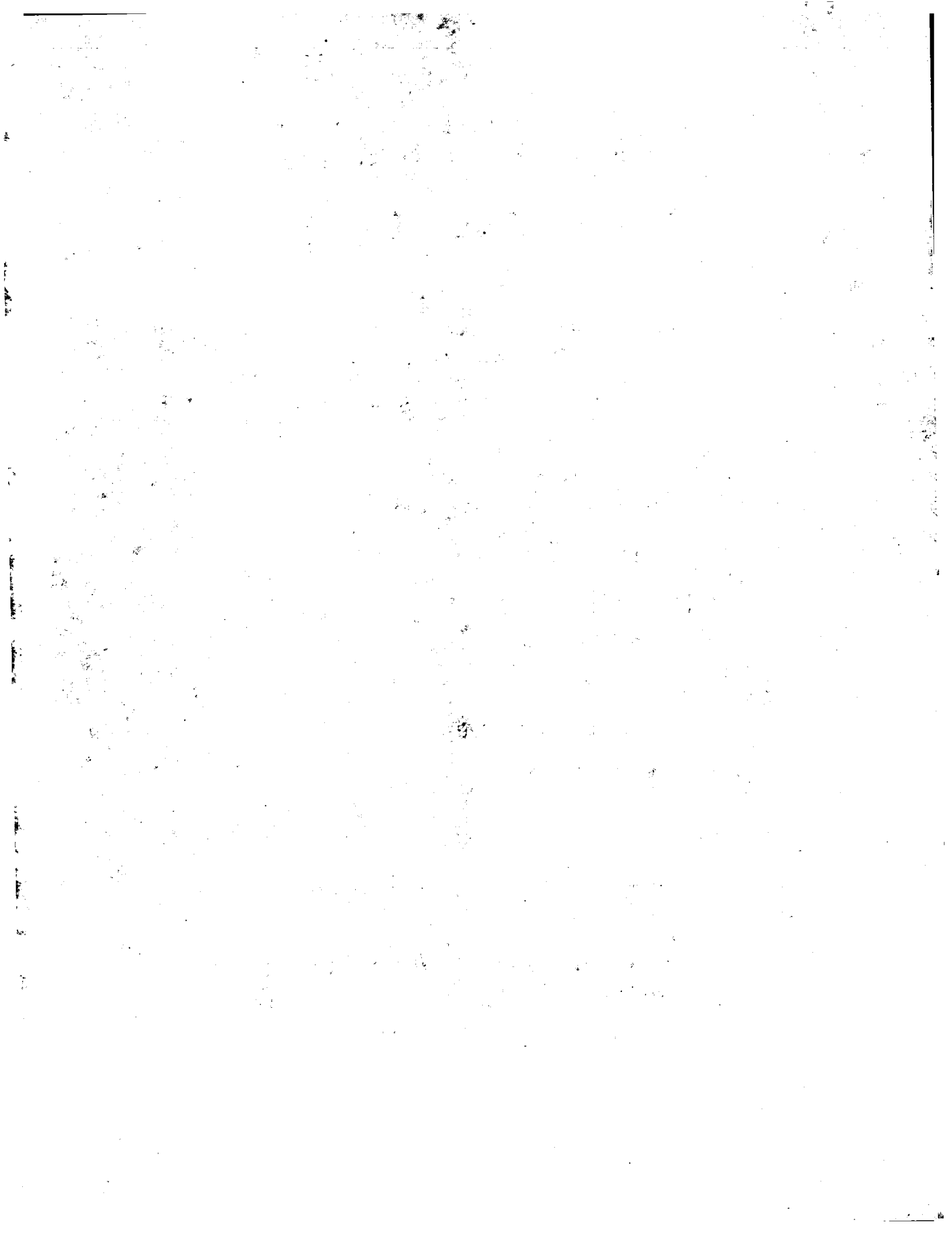
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Patent Abstracts of Japan

PUBLICATION NUMBER : 11266017
PUBLICATION DATE : 28-09-99

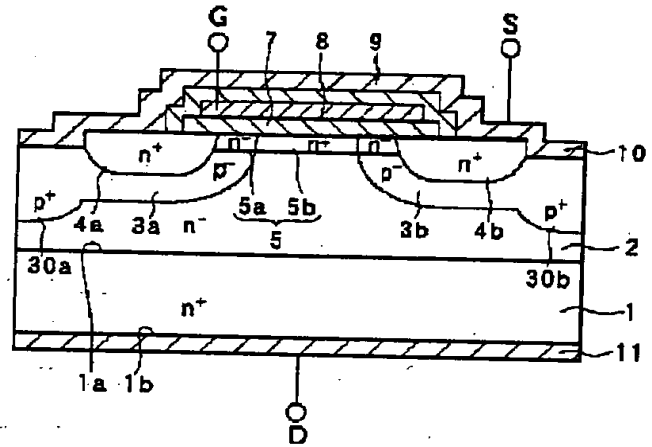
APPLICATION DATE : 24-12-98
APPLICATION NUMBER : 10367422

APPLICANT : DENSO CORP;

INVENTOR : KATAOKA MITSUHIRO;

INT.CL. : H01L 29/78 H01L 21/336

TITLE : SILICON CARBIDE SEMICONDUCTOR
DEVICE AND MANUFACTURE
THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To realize further reduction of the on-resistance of a MOSFET in a storage mode.

SOLUTION: The impurity concentration in a part 5b, which is arranged in the surface part of a first conductivity-type semiconductor layer 2, of a surface channel layer 5 is set so as to become higher than that of the layer 2. The on-resistance of a MOSFET is decided by the contact resistance between a source electrode 10 and source regions 4a and 4b, the internal resistances of the source regions 4a and 4b, a storage channel resistance in a channel region formed in the layer 5, an internal resistance in the layer 5, a JFET resistance in a JFET part, an internal resistance in the layer 2, the internal resistance of a semiconductor substrate 1 and the contact resistance between the substrate 1 and a drain electrode 11, and the sum total of these resistances becomes the on-resistance of the MOSFET. Accordingly, the internal resistance in the layer 5 is reduced, whereby the on-resistance of the MOSFET is reduced.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-266017

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.⁶

H 0 1 L 29/78

21/336

識別記号

F I

H 0 1 L 29/78

6 5 2 E

6 5 2 T

6 5 2 C

6 5 8 A

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願平10-367422
(22) 出願日 平成10年(1998)12月24日
(31) 優先権主張番号 特願平10-6027
(32) 優先日 平10(1998) 1月14日
(33) 優先権主張国 日本 (J P)

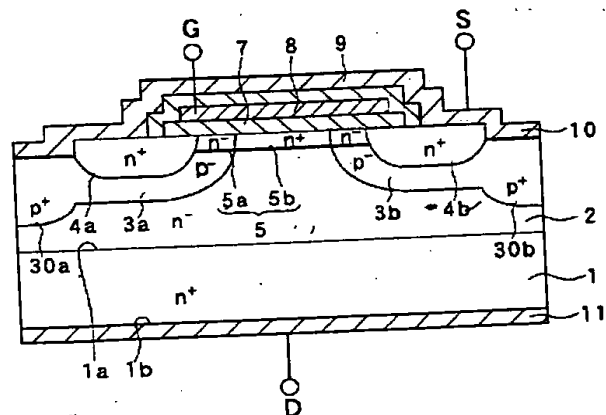
(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(72) 発明者 ラジェシュ クマール
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72) 発明者 片岡 光浩
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(74) 代理人 弁理士 伊藤 洋二 (外1名)

(54) 【発明の名称】 炭化珪素半導体装置及びその製造方法

(57) 【要約】

【課題】 蓄積モードのMOSFETにおいて、さらなるオン抵抗の低減を図る。

【解決手段】 表面チャネル層5のうち、第1導電型の半導体層2の表面部に配置された部分5bを、該半導体層2よりも不純物濃度が高くなるようにする。MOSFETのオン抵抗は、ソース電極10とソース領域4a、4bとのコンタクト抵抗、ソース領域4a、4bの内部抵抗、表面チャネル層5に形成されたチャネル領域における蓄積チャネル抵抗、表面チャネル層5における内部抵抗、JFET部におけるJFET抵抗、半導体層2における内部抵抗、半導体基板1の内部抵抗、及び半導体基板1とドレイン電極11とのコンタクト抵抗によって決定され、これらの総和がオン抵抗となる。従って、表面チャネル層5における内部抵抗が低減され、もってMOSFETのオン抵抗が低減される。



【特許請求の範囲】

- 【請求項1】 主表面及び主表面と反対面である裏面を有し、炭化珪素よりなる第1導電型の半導体基板(1)と、
前記半導体基板(1)の主表面上に形成され、前記半導体基板(1)よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)と、
前記半導体層(2)の表層部の所定領域に形成され、所定深さを有する第2導電型のベース領域(3a、3b)と、
前記ベース領域(3a、3b)の表層部の所定領域に形成され、該ベース領域(3a、3b)の深さよりも浅い第1導電型のソース領域(4a、4b)と、
前記ベース領域(3a、3b)の表面部及び前記半導体層(2)の表面部において、前記ソース領域(4a、4b)と前記半導体層(2)とを繋ぐように形成された、炭化珪素よりなる第1導電型の表面チャネル層(5)と、
前記表面チャネル層(5)の表面に形成されたゲート絶縁膜(7)と、
前記ゲート絶縁膜の上に形成されたゲート電極(8)と、
前記ベース領域(3a、3b)及び前記ソース領域(4a、4b)に接触するように形成されたソース電極(10)と、
前記半導体基板(1)の裏面に形成されたドレイン電極(11)とを備え、
前記表面チャネル層(5)のうち、前記半導体層(2)の表面部に配置された部分(5b)は、前記半導体層(2)よりも不純物濃度が高くなっていることを特徴とする炭化珪素半導体装置。
- 【請求項2】 前記ゲート電極(8)の電位が略零である時において、前記表面チャネル層(5)は、前記ゲート絶縁膜(7)から伸びる空乏層と前記ベース領域(3a、3b)から伸びる空乏層とによってピンチオフされていることを特徴とする請求項1に記載の炭化珪素半導体装置。
- 【請求項3】 前記半導体層(2)のうち、前記ベース領域(3a、3b)の側面に位置するJ-FET部には、前記表面チャネル領域(5)よりも接合深さが深くなっている第1導電型の低抵抗領域(30)が形成されていることを特徴とする請求項1又は2に記載の炭化珪素半導体装置。
- 【請求項4】 前記半導体層(2)のうち、前記ベース領域(3a、3b)の側面に位置するJ-FET部には、前記ベース領域(3a、3b)よりも接合深さが深くなっている第1導電型の低抵抗領域(30)が形成されていることを特徴とする請求項1又は2に記載の炭化珪素半導体装置。
- 【請求項5】 前記低抵抗領域(30)と前記表面チャ

ネル層(5)とは離れていることを特徴とする請求項4に記載の炭化珪素半導体装置。

【請求項6】 第1導電型の半導体基板(1)の主表面上に、この半導体基板(1)よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)を形成する工程と、
前記半導体層(2)の表層部の所定領域に、所定深さを有する第2導電型のベース領域(3a、3b)を形成する工程と、
前記半導体層(2)及び前記ベース領域(3a、3b)の上部に表面チャネル層(5)を形成する工程と、
前記ベース領域(3a、3b)の表層部の所定領域に、前記表面チャネル層(5)に接すると共に該ベース領域(3a、3b)の深さよりも浅い第1導電型のソース領域(4a、4b)を形成する工程とを備えた炭化珪素半導体装置の製造方法であって、
前記表面チャネル層(5)を形成する工程は、該表面チャネル層(5)のうち、前記半導体層(2)の表面部に配置された部分(5b)における不純物濃度を前記半導体層(2)における不純物濃度よりも高くする工程を含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項7】 前記表面チャネル層(5)の不純物濃度を高くする工程は、
前記半導体層(2)の表層部及び前記ベース領域(3a、3b)の表層部に同時にイオン注入を行う工程であることを特徴とする請求項6に記載の炭化珪素半導体装置の製造方法。

【請求項8】 前記半導体層(2)のうち、前記ベース領域(3a、3b)が形成されていない表面からイオン注入を行い、前記表面チャネル領域(5)よりも接合深さが深くなる第1導電型の低抵抗領域(30)を形成することを特徴とする請求項6又は7に記載の炭化珪素半導体装置の製造方法。

【請求項9】 前記半導体層(2)のうち、前記ベース領域(3a、3b)が形成されていない表面からイオン注入を行い、前記ベース領域(3a、3b)よりも接合深さが深くなる第1導電型の低抵抗領域(30)を形成することを特徴とする請求項6又は7に記載の炭化珪素半導体装置の製造方法。

【請求項10】 前記低抵抗領域(30)形成工程では、該低抵抗領域(30)が前記表面チャネル層(5)から離れるように前記イオン注入を行うことを特徴とする請求項7に記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置及びその製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型パワーMOSFETに関するものである。

【0002】

【従来の技術】本出願人は、プレーナ型MOSFETに

において、チャネル移動度を向上させてオン抵抗を低減させたものを、特願平9-259076号で出願している。このプレーナ型MOSFETの断面図を図12に示し、この図に基づいてプレーナ型MOSFETの構造について説明する。

【0003】 n^+ 型炭化珪素半導体基板1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。この n^+ 型炭化珪素半導体基板1の主表面1a上には、基板1よりも低いドーパント濃度を有する n^- 型炭化珪素エピタキシャル層（以下、 n^- 型炭化珪素エピ層という）2が積層されている。このとき、 n^+ 型炭化珪素半導体基板1および n^- 型炭化珪素エピ層2の上面を（0001）Si面としているが、 n^+ 型炭化珪素半導体基板1および n^- 型炭化珪素エピ層2の上面を（112-0）a面としてもよい。つまり、（0001）Si面を用いると低い表面状態密度が得られ、（112-0）a面を用いると、低い表面状態密度で、かつ、完全にらせん転位の無い結晶が得られる。

【0004】 n^- 型炭化珪素エピ層2の表層部における所定領域には、所定深さを有する p^- 型炭化珪素ベース領域3aおよび p^- 型炭化珪素ベース領域3bが離間して形成されている。また、 p^- 型炭化珪素ベース領域3aの表層部における所定領域には、ベース領域3aよりも浅い n^+ 型ソース領域4aが、また、 p^- 型炭化珪素ベース領域3bの表層部における所定領域には、ベース領域3bよりも浅い n^+ 型ソース領域4bがそれぞれ形成されている。

【0005】さらに、 n^+ 型ソース領域4aと n^+ 型ソース領域4bとの間における n^- 型炭化珪素エピ層2および p^- 型炭化珪素ベース領域3a、3bの表面部には n^- 型SiC層5が延設されている。つまり、 p^- 型炭化珪素ベース領域3a、3bの表面部においてソース領域4a、4bと n^- 型炭化珪素エピ層2とを繋ぐように n^- 型SiC層5が配置されている。この n^- 型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものをを用いる。尚、エピタキシャル層は下地の基板に関係なく各種の結晶を形成できるものである。デバイスの動作時にデバイス表面においてチャネル形成層として機能する。以下、 n^- 型SiC層5を表面チャネル層という。

【0006】表面チャネル層5のドーパント濃度は、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度となっており、かつ、 n^- 型炭化珪素エピ層2及び p^- 型炭化珪素ベース領域3a、3bのドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。また、 p^- 型炭化珪素ベース領域3a、3b、 n^+ 型ソース領域4a、4bの表面部には凹部6a、6bが形成されている。

【0007】表面チャネル層5の上面および n^+ 型ソース領域4a、4bの上面にはゲート絶縁膜（シリコン酸

化膜）7が形成されている。さらに、ゲート絶縁膜7の上にはポリシリコンゲート電極8が形成されている。ポリシリコンゲート電極8は絶縁膜9にて覆われている。絶縁膜9としてLTO（Low Temperature Oxide）膜が用いられている。その上にはソース電極10が形成され、ソース電極10は n^+ 型ソース領域4a、4bおよび p^- 型炭化珪素ベース領域3a、3bと接している。また、 n^+ 型炭化珪素半導体基板1の裏面1bには、ドレイン電極層11が形成されている。

【0008】なお、 n^- 型炭化珪素エピ層2のうち、 p^- 型炭化珪素ベース領域3a、3bに挟まれた部分がいわゆるJ-FET部を構成する。次に、このパワープレーナ型MOSFETの作用（動作）を説明する。上記MOSFETは蓄積モードで動作する。表面チャネル層5において、キャリアは p^- 型炭化珪素ベース領域3a、3bと表面チャネル層5との間の静電ポテンシャルの差、及び表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差により生じた電位によって空乏化される。このため、ポリシリコンゲート電極8に印加する電圧を調整することにより、表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差と、外部からの印加電圧により生じる電位差を変化させ、チャネルの状態を制御することでMOSFETのオン、オフを制御する。

【0009】具体的には、オフ状態において、空乏領域は、 p^- 型炭化珪素ベース領域3a、3b及びポリシリコンゲート電極8により作られた電界によって、表面チャネル層5内に形成されているため、ポリシリコンゲート電極8に対して正のバイアスを供給することによって、ゲート絶縁膜（ SiO_2 ）7と表面チャネル層5との間の界面において n^+ 型ソース領域4a、4bから n^- 型ドリフト領域2方向へ延びるチャネル領域を形成し、オン状態にスイッチングさせる。

【0010】このとき、電子は、 n^+ 型ソース領域4a、4bから表面チャネル層5を経由し表面チャネル層5からJ-FET部を含む n^- 型炭化珪素エピ層2に流れる。そして、 n^- 型炭化珪素エピ層（ドリフト領域）2に達すると、電子は、 n^+ 型炭化珪素半導体基板（ n^+ ドレイン）1へ垂直に流れる。このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5に蓄積型チャネルを誘起させ、ソース電極10とドレイン電極11との間に電流を流す。

【0011】このように、プレーナ型MOSFETにおいて、動作モードをチャネル形成層の導電型を反転させることなくチャネルを誘起する蓄積モードとすることで、導電型を反転させる反転モードのMOSFETに比べ、チャネル移動度を大きくしてオン抵抗を低減させるようにしている。

【0012】

【発明が解決しようとする課題】上述したように、蓄積モードのMOSFETを用いることによりオン抵抗の低減を図ることができる。しかしながら、さらなるオン抵抗の低減が望まれている。本発明は上記点に鑑みて成され、蓄積モードのMOSFETにおいて、さらなるオン抵抗の低減を図ることを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するため、以下の技術的手段を採用する。請求項1乃至4に記載の発明においては、表面チャネル層(5)のうち、第1導電型の半導体層(2)の表面部に配置された部分(5b)が、該半導体層(2)よりも不純物濃度が高くなっていることを特徴としている。

【0014】MOSFETのオン抵抗は、ソース電極(10)とソース領域(4a、4b)とのコンタクト抵抗、ソース領域(4a、4b)の内部抵抗、表面チャネル層(5)に形成されたチャネル領域における蓄積チャネル抵抗、表面チャネル層(5)における内部抵抗、JFET部におけるJFET抵抗、半導体層(2)における内部抵抗、半導体基板(1)の内部抵抗、及び半導体基板(1)とドレイン電極(11)とのコンタクト抵抗によって決定され、これらの総和がオン抵抗となる。

【0015】従って、表面チャネル層(5)のうち、半導体層(2)の表面部に配置された部分(5b)の不純物濃度を該半導体層(2)よりも高くすることにより、表面チャネル層(5)のうちチャネル領域以外の部分を低抵抗にすることができるため、MOSFETのオン抵抗を低くすることができる。これにより、MOSFETにおいて、さらなるオン抵抗の低減を図ることができる。

【0016】請求項2に記載の発明においては、ゲート電極(8)の電位が略零である時において、表面チャネル層(5)は、ゲート絶縁膜(7)から伸びる空乏層とベース領域(3a、3b)から伸びる空乏層とによってピンチオフされていることを特徴としている。すなわち、ノーマリオフ型であることを特徴としている。このように、ノーマリオフ型とすることにより、故障などによってゲート電極(10)に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものと比べて安全性を確保することができる。

【0017】請求項3に記載の発明においては、半導体層(2)のうち、ベース領域(3a、3b)の側面に位置するJ-FET部には、表面チャネル領域(5)よりも接合深さが深くなっている第1導電型の低抵抗領域(30)が形成されていることを特徴とし、請求項4に記載の発明においては、ベース領域(3a、3b)よりも接合深さが深くなっている第1導電型の低抵抗領域(30)が形成されていることを特徴としている。

【0018】このように、J-FET部に、チャネル領

域(5)やベース領域(3a、3b)よりも接合深さが深くなる第1導電型の低抵抗領域(30)を形成することにより、ベース領域から伸びる空乏層によって、電流経路が狭くなることを十分に防止することができると共に、J-FET部における抵抗を小さくすることができる。

【0019】なお、請求項5に示すように、低抵抗領域(30)が表面チャネル層(5)から離れるようにすれば、低抵抗領域(30)と表面チャネル層(5)との間に高抵抗の第1導電型の半導体層(2)が残るため、ベース領域(3a、3b)の電界を下げることができ、耐圧を向上させることができる。請求項6に記載の発明においては、表面チャネル層(5)のうち、半導体層(2)の表面部に配置された部分(5b)における不純物濃度を半導体層(2)における不純物濃度よりも高くする工程を備えていることを特徴としている。

【0020】このように、表面チャネル層(5)のうち、半導体層(2)の表面部に配置された部分(5b)における不純物濃度を半導体層(2)における不純物濃度よりも高くする工程を備えることにより、請求項1に示す炭化珪素半導体装置を製造することができる。例えば、請求項7に示すように、半導体層(2)の表層部及びベース領域(3a、3b)の表層部に同時にイオン注入を行うことにより、表面チャネル層(5)のうち、半導体層(2)の表面部に配置された部分(5b)における不純物濃度を半導体層(2)における不純物濃度よりも高くすることができる。

【0021】このように、表面チャネル層(5)をイオン注入によって形成し、表面チャネル層(5)のうちのチャネル領域以外の部分(5b)にもイオン注入を行うようにすれば、表面チャネル層(5)を形成すると同時に、表面チャネル層(5)のうち、半導体層(2)の表面部に配置された部分(5b)における不純物濃度を半導体層(2)における不純物濃度よりも高くすることができる。これにより、炭化珪素半導体装置の製造工程の簡略化を図ることができる。

【0022】請求項8に記載の発明においては、半導体層(2)のうち、ベース領域(3a、3b)が形成されていない表面からイオン注入を行い、表面チャネル領域(5)よりも接合深さが深くなる第1導電型の低抵抗領域(30)を形成することを特徴とし、請求項9に記載の発明においては、ベース領域(3a、3b)よりも接合深さが深くなる第1導電型の低抵抗領域(30)を形成することを特徴としている。

【0023】これにより、請求項3若しくは請求項4に示す炭化珪素半導体装置を製造することができる。なお、請求項10に示すように、低抵抗領域(30)形成工程において、該低抵抗領域(30)が表面チャネル層(5)から離れるようにイオン注入を行うことにより、請求項5に示す炭化珪素半導体装置を製造することがで

きる。

【0024】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

(第1実施形態) 図1に、本実施の形態におけるノーマリオフ型のnチャネルタイププレーナ型MOSFET(縦型パワーMOSFET)の断面図を示す。本デバイスは、インバータや車両用オルタネータのレクチファイヤに適用すると好適である。

【0025】図1に基づいて縦型パワーMOSFETの構造について説明する。但し、本実施形態における縦型パワーMOSFETは、上述した図12に示すMOSFETとほぼ同様の構造を有しているため、異なる部分についてのみ説明する。なお、本実施形態における縦型パワーMOSFETのうち、図12に示すMOSFETと同様の部分については同様の符号を付してある。

【0026】図12に示すMOSFETでは、表面チャネル層5を全てn⁺型層で形成しているが、本実施形態における縦型パワーMOSFETでは表面チャネル層5のうちチャネル領域となる部分5aをn⁺型層で形成し、チャネル領域となる部分以外の部分5bをn⁺型層で形成している。すなわち、表面チャネル層5は、p⁻型炭化珪素ベース領域3a、3bの表面部及びn⁺型炭化珪素エピ層2の表面部においてソース領域4a、4bとn⁺型炭化珪素エピ層2とを繋ぐように形成されているが、このうちp⁻型炭化珪素ベース領域3a、3bの表面部をn⁺型層とし、n⁺型炭化珪素エピ層2の表面部をn⁺型層としている。

【0027】ところで、縦型パワーMOSFETのオン抵抗Ronは、ソース電極10とn⁺型ソース領域4a、4bとのコンタクト抵抗Rs-cont、n⁺型ソース領域4a、4bの内部抵抗(ドリフト抵抗)Rsource、表面チャネル層5に形成されたチャネル領域における蓄積チャネル抵抗Rchannel、表面チャネル層5における内部抵抗(蓄積ドリフト抵抗)Racc-drift、J-FET部におけるJ-FET抵抗RJFET、n⁺型炭化珪素エピ層2における内部抵抗(ドリフト抵抗)Rdrift、n⁺型炭化珪素半導体基板1の内部抵抗Rsub、及びn⁺型炭化珪素半導体基板1とドレイン電極11とのコンタクト抵抗Rd-contによって決定される。すなわち、次式で表される。

【0028】

【数1】 $R_{on} = R_{s-cont} + R_{source} + R_{channel} + R_{acc-drift} + R_{JFET} + R_{drift} + R_{sub} + R_{d-cont}$
このうち、表面チャネル層5における内部抵抗(蓄積ドリフト抵抗)Racc-driftについては、上述したように、表面チャネル層5のうちチャネル領域となる部分5a以外の部分5bをn⁺型層で形成していることから、この部分5bをn⁺型層で形成する場合に比して低くなる。このため、オン抵抗Ronの総和が小さくなり、オン

抵抗Ronを低減することができる。

【0029】図1に示す本実施形態における縦型パワーMOSFETと、図12に示すような表面チャネル層5のうちのチャネル領域以外の部分もn⁺型層になっているものとのドレイン電流を比較したものを図2に示す。この図は、ゲート印加電圧を変化させたときにおけるドレイン電流の変化を示している。図2に示すように、表面チャネル層5のチャネル領域以外の部分5bをn⁺型層とした場合には、チャネル領域以外の部分5bがn⁺型層になっている場合に比してドレイン電流が大きくなっていることが判る。これは、縦型パワーMOSFETのオン抵抗Ronが低減されているためである。このように、表面チャネル層5のチャネル領域以外の部分5bをn⁺型層とすることにより、縦型パワーMOSFETのオン抵抗Ronをさらに低減することができる。

【0030】また、ベース領域3a、3bにおいて、一部厚さが厚くなったディープベース層30a、30bが形成されている。このディープベース層30a、30bは、n⁺型ソース領域4a、4bに重ならない部分に形成されており、p⁻型炭化珪素ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みが厚くなった部分が、ディープベース層30aが形成されていない厚みの薄い部分よりも不純物濃度が濃くなっている。

【0031】このようなディープベース層30a、30bによって、ディープベース層30a、30b下のn⁺型炭化珪素エピ層2における厚さが薄くなり(n⁺型炭化珪素半導体基板1とディープベース層30a、30bとの距離が短くなり)電界強度を高くすることができ、アバランシェブレイクダウン(以下、ブレイクダウンと略す)し易くなる。

【0032】このとき、ディープベース層30a、30bをn⁺型ソース領域に重ならない部分に形成しているため、以下のことが言える。ブレイクダウンはディープベース層30a、30bで発生し、これによりソース電極10とドレイン電極11との間にブレイクダウン電流が流れる。この際、ブレイクダウン電流(正孔電流)の流れる経路がソース領域4a、4bとn⁺ドリフト領域(n⁺型炭化珪素エピ層2)に挟まれたp⁻型ベース領域3a、3bであると、p⁻型ベース領域3a、3bにより電圧降下が生じ、p⁻型ベース領域3a、3bとソース領域4a、4bとの間のPN接合が順バイアスされて、n⁺型炭化珪素エピ層2とベース領域3a、3bとソース領域4a、4bとからなる寄生NPNトランジスタが動作してしまい、大電流が流れてしまう。このために、素子が熱せられ、信頼性上好ましくない状態になる。従って、ディープベース層30a、30bをn⁺型ソース領域に重ならない部分に形成しているため、このような問題を回避することができる。

【0033】次に、図1に示す縦型パワーMOSFET

の製造工程を、図3～図5を用いて説明する。

〔図3(a)に示す工程〕まず、n型4Hまたは6Hまたは3C-SiC基板、すなわちn⁺型炭化珪素半導体基板1を用意する。ここで、n⁺型炭化珪素半導体基板1はその厚さが400μmであり、主表面1aが(0001)Si面、又は、(112-0)a面である。この基板1の主表面1aに厚さ5μmのn⁺型炭化珪素エピ層2をエピタキシャル成長する。本例では、n⁺型炭化珪素エピ層2は下地の基板1と同様の結晶が得られ、n型4Hまたは6Hまたは3C-SiC層となる。

【0034】〔図3(b)に示す工程〕n⁺型炭化珪素エピ層2の上の所定領域にLTO膜20を配置し、これをマスクとしてB⁺(若しくはアルミニウム)をイオン注入して、p⁺型炭化珪素ベース領域3a、3bを形成する。このときのイオン注入条件は、温度が700℃で、ドーズ量が1×10¹⁶cm⁻²としている。

【0035】〔図3(c)に示す工程〕LTO膜20を除去した後、基板1の上面からN⁺をイオン注入して、

$$T_{epi} = \sqrt{\frac{2\epsilon_s}{q} \cdot \frac{Nd+Na}{NdNa}} \cdot V_{built} + \sqrt{\frac{2\epsilon_s}{q} \cdot \frac{1}{Nd} \left(\phi_{ms} - \frac{Q_s+Q_{fc}+Q_i+Q_{ss}}{Cox} \right)}$$

【0038】但し、T_{epi}はn⁺型層に広がる空乏層の高さ、φ_{ms}は金属と半導体の仕事関数差(電子のエネルギー差)、Q_sはゲート絶縁膜(酸化膜)7中の空間電荷、Q_{fc}はゲート酸化膜(SiO₂)とn⁺型層との間の界面(以下、SiO₂/SiC界面という)の固定電荷、Q_iは酸化膜中の可動イオン、Q_{ss}はSiO₂/SiC界面の表面電荷、Coxはゲート絶縁膜(酸化膜)7の容量を示している。

【0039】この数式2に示される右辺第1項は表面チャネル層5とp⁺型炭化珪素ベース領域3a、3bとのPN接合のビルトイン電圧V_{built}による空乏層の伸び量、すなわちp⁺型炭化珪素ベース領域3a、3bから表面チャネル層5に広がる空乏層の伸び量であり、第2項はゲート絶縁膜7の電荷とφ_{ms}による空乏層の伸び量、すなわちゲート絶縁膜7から表面チャネル層5に広がる空乏層の伸び量である。従って、p⁺型炭化珪素ベース領域3a、3bから広がる空乏層の伸び量と、ゲート絶縁膜7から広がる空乏層の伸び量との和が表面チャネル層5の厚み以上となるようにすれば縦型パワーMOSFETをノーマリオフ型にすることができるため、この条件を満たすようなイオン注入条件で表面チャネル層5を形成している。

【0040】このようなノーマリオフ型の縦型パワーMOSFETは、故障などによってゲート電極に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものと比べて安全性を確保することができる。また、図1に示すよ

n⁺型炭化珪素エピ層2の表層部及びp⁺型炭化珪素ベース領域3a、3bの表面部(表層部)に表面チャネル層5を形成する。このときのイオン注入条件は、温度が700℃、ドーズ量が1×10¹⁶cm⁻²としている。これにより、表面チャネル層5は、p⁺型ベース領域3a、3bの表面部では補償されてn型の不純物濃度が薄いn⁺型層として形成され、n⁺型炭化珪素エピ層2の表面部ではn型の不純物濃度が濃いn⁺型層として形成される。

【0036】また、縦型パワーMOSFETをノーマリオフ型にするために、表面チャネル層5の厚み(膜厚)は以下の数式に基づいて決定している。縦型パワーMOSFETをノーマリオフ型とするためには、ゲート電圧を印加していない状態の際に、n⁺型層に広がる空乏層が電気伝導を妨げるように十分なバリア高さを有している必要がある。この条件は次式にて示される。

【0037】

〔数2〕

うに、p⁺型炭化珪素ベース領域3a、3bは、ソース電極10と接触して接地状態となっている。このため、表面チャネル層5とp⁺型炭化珪素ベース領域3a、3bとのPN接合のビルトイン電圧V_{built}を利用して表面チャネル層5をピンチオフすることができる。例えば、p⁺型炭化珪素ベース領域3a、3bが接地されてなくてフローティング状態となっている場合には、ビルトイン電圧V_{built}を利用してp⁺型炭化珪素ベース領域3a、3bから空乏層を延ばすということできないため、p⁺型炭化珪素ベース領域3a、3bをソース電極10と接触させることは、表面チャネル層5をピンチオフするのに有効な構造であるといえる。なお、本実施形態では、不純物濃度が低いものでp⁺型炭化珪素ベース領域3a、3bを形成しているが、不純物濃度を高くすることによりビルトイン電圧V_{built}をより大きく利用することができる。

【0041】また、本実施形態では炭化珪素によって縦型パワーMOSFETを製造しているが、これをシリコンを用いて製造しようとする、p⁺型炭化珪素ベース領域3a、3bや表面チャネル層5等の不純物層を形成する際における熱拡散の拡散量の制御が困難であるため、上記構成と同様のノーマリオフ型のMOSFETを製造することが困難となる。このため、本実施形態のようにSiCを用いることにより、シリコンを用いた場合と比べて精度良く縦型パワーMOSFETを製造することができる。

【0042】また、ノーマリオフ型の縦型パワーMOS

FETにするためには、上記数式2の条件を満たすように表面チャネル層5の厚みを設定する必要があるが、シリコンを用いた場合には V_{built} が低いため、表面チャネル層5の厚みを薄くしたり不純物濃度を薄くして形成しなければならず、不純物イオンの拡散量の制御が困難なことを考慮すると、非常に製造が困難であるといえる。しかしながら、SiCを用いた場合には V_{built} がシリコンの約3倍と高く、 n^+ 型層の厚みを厚くしたり不純物濃度を濃くして形成できるため、ノーマリオフ型の蓄積型MOSFETを製造することが容易であるといえる。

【0043】〔図4(a)に示す工程〕表面チャネル層5の上の所定領域にLTO膜21を配置し、これをマスクとして N^+ をイオン注入し、 n^+ 型ソース領域4a、4bを形成する。このときのイオン注入条件は、700℃、ドーズ量は $1 \times 10^{16} \text{ cm}^{-2}$ としている。

〔図4(b)に示す工程〕そして、LTO膜21を除去した後、フォトリソ法を用いて表面チャネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEにより p^- 型炭化珪素ベース領域3a、3b上の表面チャネル層5を部分的にエッチング除去する。

【0044】〔図4(c)に示す工程〕さらに、LTO膜22をマスクにして N^+ をイオン注入し、ディープベース層30a、30bを形成する。これにより、ベース領域3a、3bの一部が厚くなったものとなる。このディープベース層30a、30bは、 n^+ 型ソース領域4a、4bに重ならない部分に形成されると共に、 p^- 型炭化珪素ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みが厚くなった部分が、ディープベース層30aが形成されていない厚みの薄い部分よりも不純物濃度が高く形成される。

【0045】〔図5(a)に示す工程〕LTO膜22を除去した後、基板の上にウェット酸化によりゲート絶縁膜(ゲート酸化膜)7を形成する。このとき、雰囲気温度は1080℃とする。その後、ゲート絶縁膜7の上にポリシリコンゲート電極8をLPCVDにより堆積する。このときの成膜温度は600℃とする。

【0046】〔図5(b)に示す工程〕引き続き、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。より詳しくは、成膜温度は425℃であり、成膜後に1000℃のアニールを行う。

〔図5(c)に示す工程〕そして、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に1000℃のアニールを行う。

【0047】このようにして、図1に示す縦型パワーMOSFETが完成する。次に、この縦型パワーMOSFETの作用(動作)を説明する。本MOSFETはノーマリオフ型の蓄積モードで動作するものであって、ポリ

シリコンゲート電極に電圧を印加しない場合は、表面チャネル層5においてキャリアは、 p^- 型炭化珪素ベース領域3a、3bと表面チャネル層5との間の静電ポテンシャルの差、及び表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差により生じた電位によって全域空乏化される。ポリシリコンゲート電極8に電圧を印加することにより、表面チャネル層5とポリシリコンゲート電極8との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャネルの状態を制御することができる。

【0048】つまり、ポリシリコンゲート電極8の仕事関数を第1の仕事関数とし、 p^- 型炭化珪素ベース領域3a、3bの仕事関数を第2の仕事関数とし、表面チャネル層5の仕事関数を第3の仕事関数としたとき、第1～第3の仕事関数の差を利用して、表面チャネル層5の n 型のキャリアを空乏化する様に第1～第3の仕事関数と表面チャネル層5の不純物濃度及び膜厚を設定することができる。

【0049】また、オフ状態において、空乏領域は、 p^- 型炭化珪素ベース領域3a、3b及びポリシリコンゲート電極8により作られた電界によって、表面チャネル層5内に形成される。この状態からポリシリコンゲート電極8に対して正のバイアスを供給すると、ゲート絶縁膜(SiO_2)7と表面チャネル層5との間の界面において n^+ 型ソース領域4a、4bから n^- 型ドリフト領域2方向へ延びるチャネル領域が形成され、オン状態にスイッチングされる。このとき、電子は、 n^+ 型ソース領域4a、4bから表面チャネル層5を経由し表面チャネル層5から n^- 型炭化珪素エピ層2に流れる。そして、 n^- 型炭化珪素エピ層2(ドリフト領域)に達すると、電子は、 n^+ 型炭化珪素半導体基板1(n^+ ドレイン)へ垂直に流れる。

【0050】このようにゲート電極8に正の電圧を印加することにより、表面チャネル層5に蓄積型チャネルを誘起させ、ソース電極10とドレイン電極11との間にキャリアが流れる。但し、このゲート電極8への印加電圧は、所定のしきい値電圧 V_{th} 以上である必要がある。このしきい値電圧 V_{th} について説明する。

【0051】なお、参考のため、反転型MOSFETのしきい値電圧 V_{th} について説明し、これに基づいて本実施形態のような蓄積型の縦型パワーMOSFETにおけるしきい値電圧 V_{th} について説明する。一般的に、反転型MOSFETのしきい値 V_{th} は次式のように示される。

【0052】

$$\text{【数3】 } V_{th} = V_{FB} + 2\phi_B$$

但し、 $V_{FB} = \phi_{ms} - (Q_s + Q_{fc} + Q_i + Q_{ss}) / C_{ox}$ であり、置換すると次式で示される。

【0053】

$$\text{【数4】 } V_{th} = \phi_{ms} - (Q_s + Q_{fc} + Q_i + Q_{ss}) / C$$

$\phi_{ms} + 2\phi_B$

一般的には金属と半導体の仕事関数差（電子のエネルギー差） ϕ_{ms} 、ゲート酸化膜（ SiO_2 ）と n^- 型層との間の界面（以下、 SiO_2/SiC 界面という）の固定電荷 Q_{fc} 、酸化膜中の可動イオン Q_i 、及び SiO_2/SiC 界面の表面電荷 Q_{ss} の影響によってエネルギーバンドが曲げられる。このため、このエネルギーバンドの曲がりを相殺するような電圧と反転状態を形成し始める電圧 $2\phi_B$ との和がしきい値電圧 V_{th} となり、上記数式3、数式4のように表されるのである。

【0054】これに基づいて本実施形態における蓄積型の縦型パワーMOSFETの場合について考えてみると、反転型のMOSFETに比して p^- 型ベース領域3a、3b及び表面チャネル層5におけるPN接合の仕事関数差 V_{built} （PN接合のビルトイン電圧）の分だけ表面チャネル層5のエネルギーバンドが曲げられることや、反転状態にするための電圧 $2\phi_B$ が不要なことから、しきい値電圧 V_{th} は次式のように示される。

【0055】

【数5】 $V_{th} = V_{built} + \phi_{ms} - (Q_s + Q_{fc} + Q_i + Q_{ss}) / C_{ox}$

すなわち、表面チャネル層5のPN接合側では仕事関数差 V_{built} 、ゲート絶縁膜7側では金属と半導体の仕事関数差 ϕ_{ms} 、及び酸化膜に起因したエネルギーバンドの曲がり量 $(Q_s + Q_{fc} + Q_i + Q_{ss}) / C_{ox}$ に起因してエネルギーバンドが曲がっているため、これらを相殺するような電圧を印加すればエネルギーバンドがフラットになって電流が流れる。

【0056】このため、本実施形態における蓄積型MOSFETのしきい値電圧 V_{th} は数式3のように表される。従って、本実施形態では、数式5に示されるしきい値電圧 V_{th} 以上の電圧をゲート印加電圧とするようになっている。

（第2実施形態）図6に、本発明の第2実施形態を示す。本実施形態は、第1実施形態に対してさらなるオン抵抗の低減を図ったものであり、第1実施形態と同様の構成を有しているため、第1実施形態と同様の構成については同じ符号を付し、異なる構成についてのみ説明する。

【0057】図6に示すように、本実施形態では、 n^- 型炭化珪素エピ層2のうち、 p^- 型ベース領域3a、3bの側面に位置する部位となるJ-FET部に、 p^- 型ベース領域3a、3bよりも接合深さが深くまで形成された n^+ 型の低抵抗領域30が備えられている。この低抵抗領域30は、表面チャネル層5に接触した構成となっている。

【0058】このように構成される縦型パワーMOSFETは、表面チャネル層5の形成前、若しくは表面チャネル層5の形成後に、 n 型不純物をJ-FET部に選択的にイオン注入することによって形成することができ

る。このように、低抵抗領域30が形成されているため、J-FET部の抵抗が小さくなり、縦型パワーMOSFETのオン抵抗をさらに低減することができる。

【0059】また、このように低抵抗領域30を形成することにより、 p^- 型炭化珪素ベース領域3a、3bからの空乏層の伸びを小さくすることができるため、該空乏層によってJ-FET部における電流経路の幅（紙面左右方向の幅）が縮小することを防止することができる。このため、電流経路の縮小による抵抗値の増加を防止することができる。

【0060】図7に、本実施形態における縦型パワーMOSFETのドレイン電流 I_D -ドレイン電圧 V_D 特性を示す。なお、参考として、本図中に第1実施形態における縦型パワーMOSFETのドレイン電流 I_D -ドレイン電圧 V_D 特性を示す。この図にも示されるように、低抵抗領域30が形成された本実施形態における縦型パワーMOSFETは、第1実施形態における縦型パワーMOSFETと比べて、さらに同一のドレイン電圧 V_D の際に流れるドレイン電流 I_D が大きくなっていることが判る。

【0061】このように、低抵抗領域30を形成することにより、縦型パワーMOSFETのオン抵抗のさらなる低減を図ることができる。また、低抵抗領域30は、図8、図9に示すように、 p^- 型ベース領域3a、3bよりも浅くても構わないし、表面チャネル層5と接していなくても良く、要するに電流の流れる領域において、 p^- 型ベース領域3a、3bからの空乏層の伸び抑制する構造であればよい。なお、これらの低抵抗領域30はイオン注入エネルギーを調整して注入深さをコントロールする等して形成可能である。

【0062】（他の実施形態）上記実施形態では、 n^- 型炭化珪素エピ層2の表層部及び p^- 型炭化珪素ベース領域3a、3bの表面部（表層部）に直接イオン注入を行うことにより表面チャネル層5を形成しているが、図10に示すようにこれらの上に n^- 型の表面チャネル層5をエピタキシャル成長させるようにし、その後フォトリソ工程、イオン注入によって表面チャネル層5のうちチャネル領域以外の部分の n 型不純物濃度を選択的に濃くするようにしてもよい。但し、このように行った場合には製造工程が増加するため、上記実施形態の方法で縦型パワーMOSFETを製造するのが好ましい。

【0063】また、図11に示すように、 n^+ 型ソース領域4a、4bを形成しておいた後に、 n^+ 型ソース領域4a、4bや p^- 型炭化珪素ベース領域3a、3b及び n^- 型炭化珪素エピ層2の表面上に表面チャネル層5をエピタキシャル成長させるようにしたものにおいて、チャネル領域となる部分5a以外の部分5bを n^- 型層として形成するようにしてもよい。但し、この場合においても表面チャネル層5をエピタキシャル成長させ、その後さらに図10に示すものと同様にイオン注入を行わ

なければならず、製造工程が増加するため、上記実施形態に示す方法がより効果的であるといえる。

【0064】さらに、第2実施形態では、低抵抗領域30が表面チャネル層5と接触するように構成しているが、これらが離れた構成となるようにしてもよい。この場合、低抵抗領域30を表面チャネル層5の部分5bと別途形成することになるため、低抵抗領域30が表面チャネル層5よりも高濃度となるように形成することができる。そして、表面チャネル層5との間において高抵抗となる n^- 型の領域が残っているため、第2実施形態と同様の効果が得られるのみでなく、 p^- 型炭化珪素ベース領域3a、3bが発生する電界を小さくすることができ、縦型パワーMOSFETの耐圧を向上させることができるという効果も得られる。

【図面の簡単な説明】

【図1】本発明の第1実施形態における縦型パワーMOSFETの断面図である。

【図2】図1における縦型パワーMOSFETのオン抵抗を説明するためのゲート印加電圧-ドレイン電流特性図である。

【図3】図1に示す縦型パワーMOSFETの製造工程を示す図である。

【図4】図3に続く縦型パワーMOSFETの製造工程を示す図である。

【図5】図4に続く縦型パワーMOSFETの製造工程を示す図である。

【図6】本発明の第2実施形態における縦型パワーMOSFETの断面図である。

【図7】図6に示す縦型パワーMOSFETのドレイン電流 I_D -ドレイン電圧 V_D 特性を示す図である。

【図8】表面チャネル層5よりも深い低抵抗領域30を形成した場合を示す図である。

【図9】表面チャネル層5と低抵抗領域30が離れている場合を示す図である。

【図10】他の実施形態における縦型パワーMOSFETを説明するための断面図である。

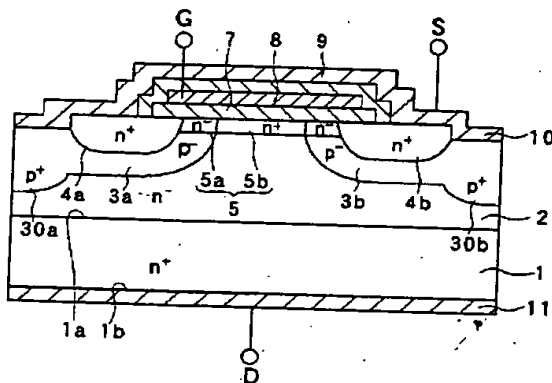
【図11】他の実施形態における縦型パワーMOSFETを説明するための断面図である。

【図12】本出願人が先に公開した縦型パワーMOSFETの構成を示す断面図である。

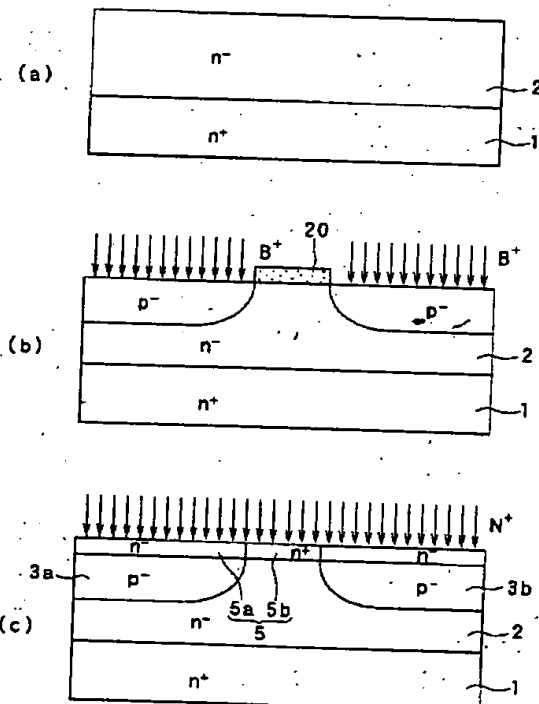
【符号の説明】

1... n^+ 型炭化珪素半導体基板、2... n^- 型炭化珪素エピタキシャル層、3a、3b... p^- 型炭化珪素ベース領域、4a、4b... n^+ 型ソース領域、5...表面チャネル層(n^- 型SiC層)、5a... n^- 型層の部分、5b... n^+ 型層の部分、7...ゲート絶縁膜、8...ゲート電極、9...絶縁膜、10...ソース電極、11...ドレイン電極層、30...低抵抗領域。

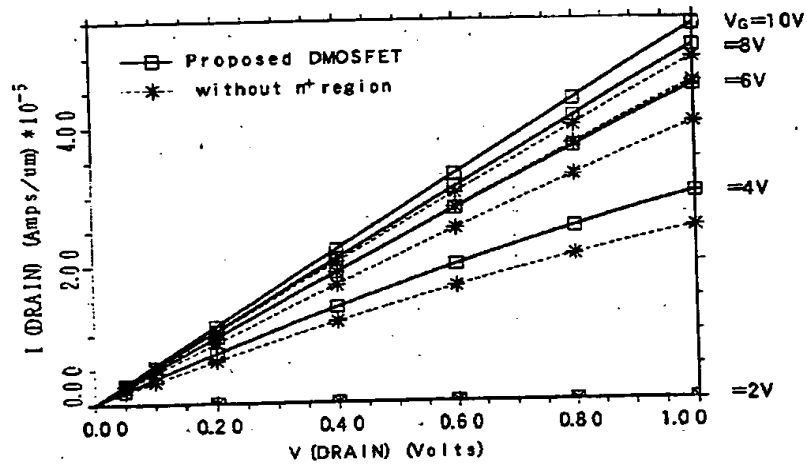
【図1】



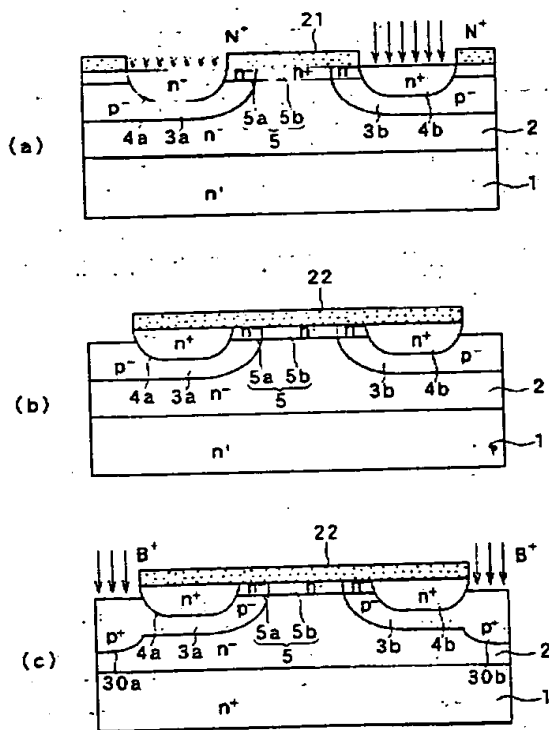
【図3】



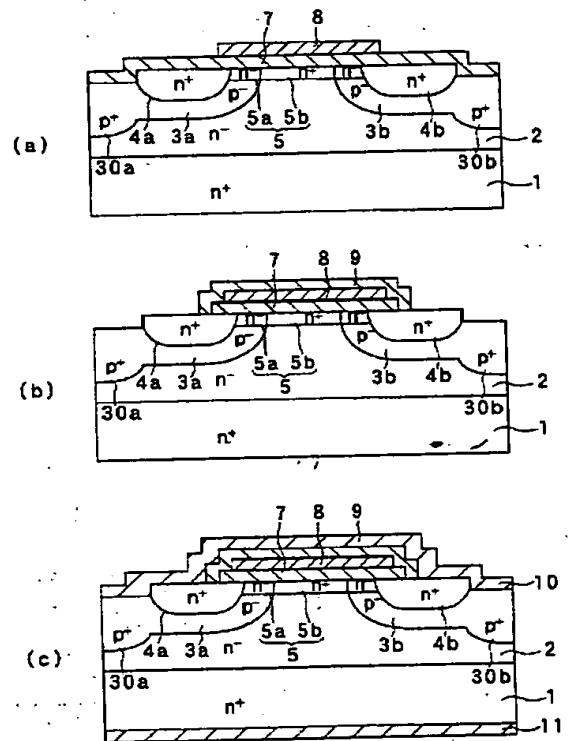
【図2】



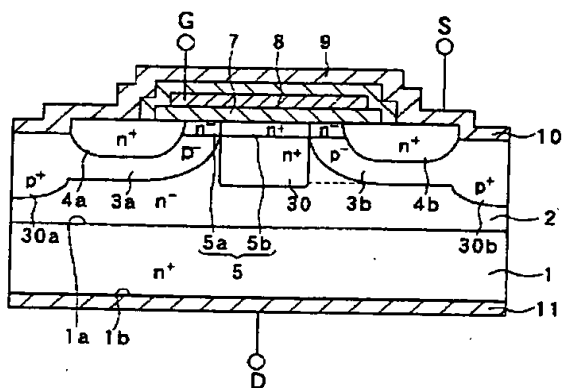
【図1】



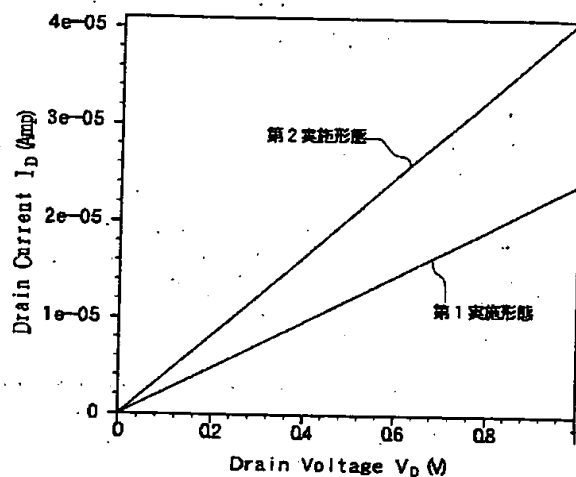
【図5】



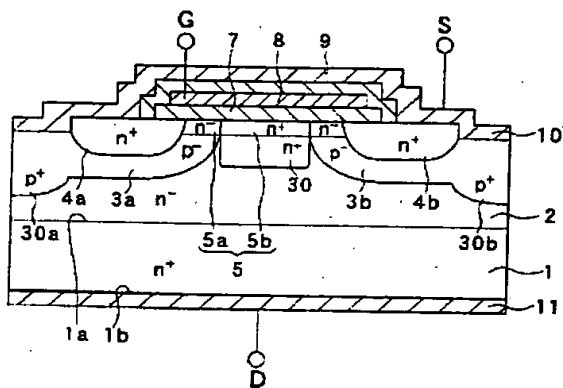
【図6】



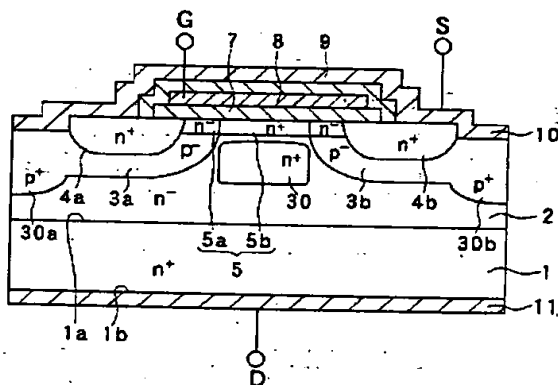
【図7】



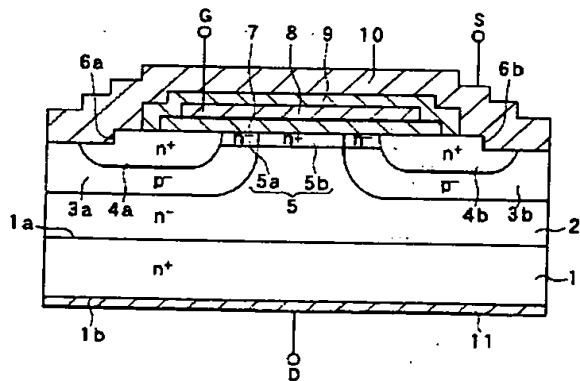
【図8】



【図9】



【図10】



【図11】

